

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-160611

(43)Date of publication of application : 12.06.2001

(51)Int.Cl.

H01L 25/00

H01L 23/12

(21)Application number : 11-341032

(71)Applicant : NEC CORP

(22)Date of filing : 30.11.1999

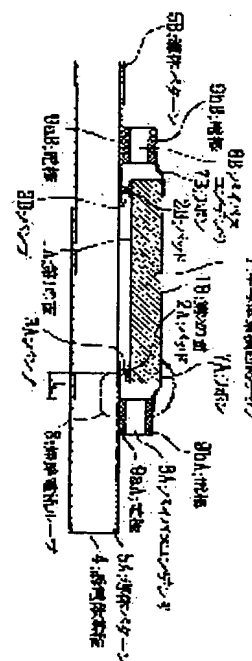
(72)Inventor : TAKAHASHI KAZUFUMI

## (54) SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE

## (57)Abstract:

**PROBLEM TO BE SOLVED:** To enable a semiconductor integrated circuit to operate stably on high frequencies in a semiconductor integrated circuit device by a method wherein the semiconductor integrated circuit device is enhanced in performance for removing noises caused by a power supply wiring.

**SOLUTION:** A semiconductor integrated circuit device has such a structure in which a semiconductor integrated circuit chip 1 whose first surface 1A serves as an element forming surface and second surface 1B serves as a ground potential surface is mounted on a dielectric board 4 making its first surface 1A confront the surface of the board 4, a power supply is connected to power supply terminals provided on the first surface 1A through the intermediary of conductor patterns 5A and 5B provided in the surfaces of the dielectric board 4, and bypass capacitors 6A and 6B are connected between the conductor patterns 5A and 5B and the second surface 1B of the chip 1.



## LEGAL STATUS

[Date of request for examination] 10.10.2000

[Date of sending the examiner's decision of rejection] 04.03.2003

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11) 特許出願公開番号

特開2001-160611

(P2001-160611A)

(43) 公開日 平成13年6月12日 (2001.6.12)

(51) Int.Cl.<sup>7</sup>

識別記号

F I

テ-マコ-ト\* (参考)

H 0 1 L 25/00  
23/12

H 0 1 L 25/00  
23/12

B  
E

審査請求 有 請求項の数 6 O L (全 7 頁)

(21) 出願番号 特願平11-341032

(22) 出願日 平成11年11月30日 (1999. 11. 30)

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 高橋 和史

東京都港区芝五丁目7番1号 日本電気株  
式会社内

(74) 代理人 100099830

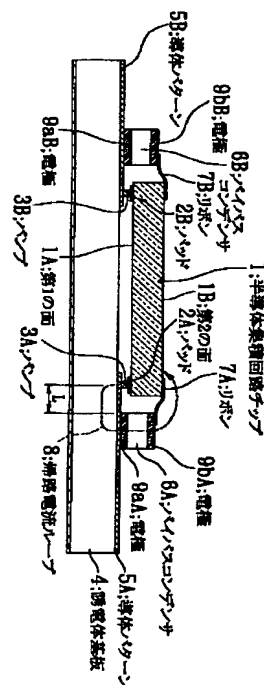
弁理士 西村 征生

(54) 【発明の名称】 半導体集積回路装置

(57) 【要約】

【課題】 半導体集積回路装置において、電源配線に起因する雑音に対する除去能力を向上させて、半導体集積回路の高周波での動作を安定にする。

【解決手段】 開示される半導体集積回路装置は、第1の面1Aが素子形成面であり第2の面1Bが接地電位面である半導体集積回路チップ1を、第1の面1Aがその表面と対向するように誘電体基板4に取り付け、誘電体基板4の表面に設けられた導体パターン5A、5Bを介して半導体集積回路チップ1の第1の面1Aに設けられた電源端子に電源を接続するとともに、導体パターン5A、5Bと半導体集積回路チップ1の第2の面1Bとの間にバイパスコンデンサ6A、6Bを接続されている。



## 【特許請求の範囲】

【請求項 1】 第 1 の面が素子形成面であり第 2 の面が接地電位面である半導体集積回路チップを、前記第 1 の面がその表面と対向するように誘電体基板に取り付け、該誘電体基板の表面に設けられた導体パターンを介して前記半導体集積回路チップの第 1 の面に設けられた電源端子に電源を接続するとともに、前記導体パターンと前記半導体集積回路チップの第 2 の面との間にバイパスコンデンサを接続したことを特徴とする半導体集積回路装置。

【請求項 2】 前記バイパスコンデンサが、その一方の面を前記導体パターンに直接、接続され、他方の面を可撓性金属導体片を介して前記半導体集積回路チップの前記第 2 の面に接続されていることを特徴とする請求項 1 記載の半導体集積回路装置。

【請求項 3】 第 1 の面が素子形成面であり第 2 の面が接地電位面である半導体集積回路チップを、前記第 1 の面がその表面と対向するように誘電体基板に取り付け、該誘電体基板の表面に設けられた第 1 の導体パターンを介して前記半導体集積回路チップの第 1 の面に設けられた電源端子に電源を接続し、前記誘電体基板の表面に設けられた第 2 の導体パターンを介して前記半導体集積回路チップの第 2 の面を接地電位に接続するとともに、前記第 1 の導体パターンと前記半導体集積回路チップの第 2 の面との間にバイパスコンデンサを接続したことを特徴とする半導体集積回路装置。

【請求項 4】 前記バイパスコンデンサが、その一方の面を前記第 1 の導体パターンに直接、接続され、他方の面をそれぞれ可撓性金属導体片を介して前記半導体集積回路チップの前記第 2 の面及び前記第 2 の導体パターンに接続されていることを特徴とする請求項 3 記載の半導体集積回路装置。

【請求項 5】 前記半導体集積回路チップが、前記誘電体基板の表面に対してフリップチップ実装されていることを特徴とする請求項 1 乃至 4 のいずれか 1 に記載の半導体集積回路装置。

【請求項 6】 前記バイパスコンデンサが、誘電体板の上下に電極を設けてなるチップコンデンサであることを特徴とする請求項 1 乃至 5 のいずれか 1 に記載の半導体集積回路装置。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】 この発明は、誘電体基板上にフリップチップ実装された半導体集積回路チップに対する電源配線からの雑音誘導を低減した、半導体集積回路装置に関する。

## 【0002】

【従来の技術】 半導体集積回路チップを誘電体基板に実装する際には、接続作業を簡単、確実にするとともに、接続経路を極力短くするために、フリップチップと称す

る工法が一般に行われている。フリップチップ工法においては、半導体集積回路の端子となるパッドと、誘電体基板上の導体パターンとの間に、球状又は円筒状の金属製バンパを挿入して、この状態で、パッドとバンパ間、及びバンパと導体パターン間をハンダ付けその他の方法で接合することによって、電気的接続と機械的保持とを行う。そして、フリップチップ実装した半導体集積回路装置の電源端子と、回路の接地電位に相当する端子間には、通常、バイパスコンデンサを接続して、電源配線に基づく雑音発生を抑止する。この場合、バイパスコンデンサは、雑音抑止効果を充分に得るようにするためには、半導体集積回路の動作周波数が上昇するのに伴って、半導体集積回路チップに接近させて搭載することが必要である。これは、使用周波数が高くなるにつれて、導体上の波長が短くなるため、バイパスコンデンサと半導体集積回路チップとを接続する配線上の各箇所において、雑音電位が異なるようになるので、配線の長さを無視することができなくなるためである。

【0003】 図 3、図 4 は、従来の半導体集積回路装置の構成を例示するものであって、図 3 は断面図を示し、図 4 は平面図を示している。なお、図 3 は図 4 の A-A 矢視時の断面を表したものである。以下、図 3、図 4 を参照して、この従来例の半導体集積回路装置とそのバイパスコンデンサの実装方法を説明する。この従来例の半導体集積回路装置は、誘電体基板 14 上に、半導体集積回路チップ 11 をフリップチップ工法によって、接続、固定した構造を有している。ただし図においては、フリップチップ接続の要部として、半導体集積回路チップ 11 のパッド 12aA、12cA、12aB、12cB と、パッド 12aA、12cB にそれぞれ対応するバンパ 13aA、13cB のみが示されている。パッド 12aA、12aB は、それぞれ半導体集積回路チップ 11 の電源端子をなすものであり、パッド 12cA、12cB は、それぞれ半導体集積回路チップ 11 の接地電位端子をなすものである。

【0004】 これに対して、電源供給用の導体パターン 15aA を介して、電源端子となるパッド 12aA に電源を供給するが、この際、導体パターン 15aA と中継用の導体パターン 15bA との間にバイパスコンデンサ 16A を接続し、導体パターン 15bA からヴィア 20bA を介して誘電体基板 14 の裏面導体 21 に接続し、さらに裏面導体 21 からヴィア 20cA を介して接地電位接続用の導体パターン 15cA に接続し、導体パターン 15cA から接地電位に相当する端子であるパッド 12cA に接続することによって、電源端子となるパッド 12aA と、接地電位に相当する端子となるパッド 12cA とを、高周波的に短絡する。また、同様に、電源供給用の導体パターン 15aB を介して、電源端子となるパッド 12aB に電源を供給するが、この際、導体パターン 15aB と中継用の導体パターン 15bB との間に

バイパスコンデンサ 16 B を接続し、導体パターン 15 b B からヴィア 20 b B を介して誘電体基板 14 の裏面導体 21 に接続し、さらに裏面導体 21 からヴィア 20 c B を介して接地電位接続用の導体パターン 15 c B に接続し、導体パターン 15 c B から接地電位に相当する端子であるパッド 12 c B に接続することによって、電源端子となるパッド 12 a B と、接地電位に相当する端子となるパッド 12 c B とを、高周波的に短絡する。

【0005】このように、図 3、図 4 に示された半導体集積回路装置では、電源端子をバイパスコンデンサを介して回路の接地電位に相当する端子に接続することによって、電源配線を介して侵入する高周波電圧を接地して、電源端子からの雑音誘導を防止することによって、半導体集積回路の高周波での動作安定を図っている。この際使用されるコンデンサは、通常、積層チップコンデンサであって、これを例えば図 3 に示すコンデンサ 16 A のように、横向きにして両導体パターン 15 a A、15 b A 間にかけてわたし、両端に設けられている電極 17 a、17 b を、それぞれ導体パターン 15 a A、15 b A にハンダ付けすることによって、電気的接続を行う方法がとられている。

#### 【0006】

【発明が解決しようとする課題】しかしながら、図 3、図 4 に示された従来技術の半導体集積回路装置におけるバイパスコンデンサの実装方法では、電源配線に起因する雑音除去が必ずしも充分ではないという問題があった。一般に、半導体集積回路の動作周波数が上昇するのに伴って、電源端子と接地電位に相当する端子との間に形成される帰路電流ループが短くなるようにしないと、バイパスコンデンサによる雑音抑止効果が充分に得られなくなる。これは、使用周波数が高くなるにつれて、導体上の波長が短くなるので、電流経路上の部位によって電位が異なるようになるため、帰路電流ループの長さが無視できなくなるからである。これに対して、図 3、図 4 に示された従来技術では、半導体集積回路チップ 11 における雑音電圧除去のための、電源端子となるパッドから、接地電位に相当する端子となるパッドにいたる帰路電流ループ 18 A、18 B の経路は、コンデンサ 16 A の場合は、パッド 12 a A-導体パターン 15 a A-コンデンサ 16 A-導体パターン 15 b A-ヴィア 20 b A-裏面導体 21-ヴィア 20 c A-導体パターン 15 c A-パッド 12 c A であり、コンデンサ 16 B の場合は、パッド 12 a B-導体パターン 15 a B-コンデンサ 16 B-導体パターン 15 b B-ヴィア 20 b B-裏面導体 21-ヴィア 20 c B-導体パターン 15 c B-パッド 12 c A であって、かなり長い。これは、両帰路電流ループ 18 A、18 B に、接地電位とされる裏面導体 21 と、これを接続するためのヴィアを含んでいるためである。この点は、バイパスコンデンサ 16 A から導体パターン 15 b A、ヴィア 20 b A を介して、直線

的に裏面導体 21 に接続される帰路電流ループ 18 A の場合も、バイパスコンデンサ 16 B から導体パターン 15 b B を介して迂回して、ヴィア 20 b B から裏面導体 21 に接続される帰路電流ループ 18 B の場合も、同様である。

【0007】この発明は、上述の事情に鑑みてなされたものであって、半導体集積回路装置において、バイパスコンデンサを実装する際に、帰路電流ループに誘電体基板の裏面導体やヴィアが含まれないようにすることによって、電源配線に起因する雑音除去能力を向上させて、半導体集積回路の高周波での動作をより安定にすることが可能な、半導体集積回路装置を提供することを目的としている。

#### 【0008】

【課題を解決するための手段】上記課題を解決するため、請求項 1 記載の発明は、半導体集積回路装置に係り、第 1 の面が素子形成面であり第 2 の面が接地電位面である半導体集積回路チップを、上記第 1 の面がその表面と対向するように誘電体基板に取り付け、該誘電体基板の表面に設けられた導体パターンを介して上記半導体集積回路チップの第 1 の面に設けられた電源端子に電源を接続するとともに、上記導体パターンと上記半導体集積回路チップの第 2 の面との間にバイパスコンデンサを接続したことを特徴とする半導体集積回路装置。

【0009】また、請求項 2 記載の発明は、請求項 1 記載の半導体集積回路装置に係り、上記バイパスコンデンサが、その一方の面を上記導体パターンに直接、接続され、他方の面を可撓性金属導体片を介して上記半導体集積回路チップの上記第 2 の面に接続されていることを特徴としている。

【0010】また、請求項 3 記載の発明は、半導体集積回路装置に係り、第 1 の面が素子形成面であり第 2 の面が接地電位面である半導体集積回路チップを、上記第 1 の面がその表面と対向するように誘電体基板に取り付け、該誘電体基板の表面に設けられた第 1 の導体パターンを介して上記半導体集積回路チップの第 1 の面に設けられた電源端子に電源を接続し、上記誘電体基板の表面に設けられた第 2 の導体パターンを介して上記半導体集積回路チップの第 2 の面を接地電位に接続するとともに、上記第 1 の導体パターンと上記半導体集積回路チップの第 2 の面との間にバイパスコンデンサを接続したことを特徴としている。

【0011】また、請求項 4 記載の発明は、請求項 3 記載の半導体集積回路装置に係り、上記バイパスコンデンサが、その一方の面を上記第 1 の導体パターンに直接、接続され、他方の面をそれぞれ可撓性金属導体片を介して上記半導体集積回路チップの上記第 2 の面及び上記第 2 の導体パターンに接続されていることを特徴としている。

【0012】また、請求項 5 記載の発明は、請求項 1 乃

至 4 のいずれか 1 に記載の半導体集積回路装置に係り、上記半導体集積回路チップが、上記誘電体基板の表面に対してフリップチップ実装されていることを特徴としている。

【0013】また、請求項 6 記載の発明は、請求項 1 乃至 5 のいずれか 1 に記載の半導体集積回路装置に係り、上記バイパスコンデンサが、誘電体板の上下に電極を設けてなるチップコンデンサであることを特徴としている。

【0014】

【作用】この発明の構成では、第 1 の面が素子形成面であり第 2 の面が接地電位面である半導体集積回路チップを、第 1 の面がその表面と対向するように誘電体基板に取り付け、誘電体基板の表面に設けられた導体パターンを介して半導体集積回路チップの第 1 の面に設けられた電源端子に電源を接続するとともに、導体パターンと半導体集積回路チップの第 2 の面との間にバイパスコンデンサを接続したので、電源供給用の導体パターンと半導体集積回路チップの接地電位面間を、バイパスコンデンサを介して最短距離で接続することができ、従って、電源配線に起因する雑音除去能力を向上させて、半導体集積回路の高周波での動作をより安定にすることが可能になる。また、この発明の別の構成では、第 1 の面が素子形成面であり第 2 の面が接地電位面である半導体集積回路チップを、第 1 の面がその表面と対向するように誘電体基板に取り付け、誘電体基板の表面に設けられた第 1 の導体パターンを介して半導体集積回路チップの第 1 の面に設けられた電源端子に電源を接続し、誘電体基板の表面に設けられた第 2 の導体パターンを介して半導体集積回路チップの第 2 の面を接地電位に接続するとともに、第 1 の導体パターンと半導体集積回路チップの第 2 の面との間にバイパスコンデンサを接続したので、半導体集積回路の電源端子に接続された電源供給用の第 1 の導体パターンと、半導体集積回路チップの接地電位面、及び接地用の第 2 の導体パターンとの間を、バイパスコンデンサを介して最短距離で接続することができ、従って、電源配線に起因する雑音除去能力をより向上させて、半導体集積回路の高周波での動作をさらに安定にすることが可能になる。

【0015】

【発明の実施の形態】以下、図面を参照して、この発明の実施の形態について説明する。説明は、実施例を用いて具体的にを行う。

◇第 1 実施例

図 1 は、この発明の第 1 実施例である半導体集積回路装置の構成を示す断面図である。この例の半導体集積回路装置は、図 1 に示すように、誘電体基板 4 上に、半導体集積回路チップ 1 をフリップチップ工法によって、接続、固定した構造を有している点は、図 3、図 4 に示された従来技術の場合と同様である。ただし図 1 において

は、フリップチップ接続の要部として、半導体集積回路チップ 1 のパッド 2 A、2 A と、パッド 2 A、2 B にそれぞれ対応するバンプ 3 A、3 B のみが示されている。パッド 2 A、2 B は、それぞれ半導体集積回路チップ 1 の電源端子をなすものである。半導体集積回路チップ 1 の第 1 の面 1 A は素子形成面であり、第 2 の面 1 B は接地電位面になっている。これに対して、電源供給用導体パターン 5 A を介して、電源端子となるパッド 2 A に電源を供給するが、この際、導体パターン 5 A にバイパスコンデンサ 6 A の一方の電極 9 a A を例えばハンダ付けによって接続し、バイパスコンデンサ 6 A の他方の電極 9 b A を、接地電位に相当する半導体集積回路チップ 1 の第 2 の面 1 B に、金属製のリボン 7 A を介して接続する。また、同様に、電源供給用導体パターン 5 B を介して、電源端子となるパッド 2 B に電源を供給するが、この際、導体パターン 5 B にバイパスコンデンサ 6 B の一方の電極 9 a B を例えばハンダ付けによって接続し、バイパスコンデンサ 6 B の他方の電極 9 b B を、接地電位に相当する半導体集積回路チップ 1 の第 2 の面 1 B に、金属製のリボン 7 B を介して接続する。この場合に用いられるバイパスコンデンサ 6 A、6 B としては、例えば、誘電体の小片の両端にそれぞれ電極を形成したチップコンデンサを使用し、両電極が上下方向に向くように配置して、上述のような接続を行う。

【0016】半導体集積回路の品種によっては、回路の接地電位に相当する端子を、半導体集積回路チップ 1 の第 2 の面 1 B と電気的に接続しているものがある。この種の半導体集積回路装置では、図 1 に示すような構成をとることによって、半導体集積回路チップ 1 における、例えば、電源端子となるパッド 2 A と、接地電位に相当する半導体集積回路チップ 1 の第 2 の面 1 B との間の帰路電流ループ 8 は、図示のように、パッド 2 A—導体パターン 5 A—バイパスコンデンサ 6 A—リボン 7 A—半導体集積回路チップの第 2 の面 1 B となり、誘電体基板 4 の裏面導体を含むことなく、最短距離とすることができる。図示されない、電源端子となるパッド 2 B と、接地電位に相当する半導体集積回路チップ 1 の第 2 の面 1 B との間の帰路電流ループも同様である。

【0017】このように、この例の半導体集積回路装置によれば、半導体集積回路の電源端子に接続された電源供給用の導体パターンと半導体集積回路チップの接地電位面間を、バイパスコンデンサを介して最短距離で接続することができるので、電源配線に起因する雑音に対する除去能力を向上させて、半導体集積回路の高周波での動作をより安定にすることが可能になる。

【0018】◇第 2 実施例

図 2 は、この発明の第 2 実施例である半導体集積回路装置の構成を示す断面図である。この例の半導体集積回路装置は、図 2 に示すように、誘電体基板 4 上に、半導体集積回路チップ 1 をフリップチップ工法によって、接

10

20

30

40

50

続、固定した構造を有している点は、図 3、図 4 に示された従来技術の場合と同様である。これに対して、電源供給用導体パターン 5 a A を介して、電源端子となるパッド 2 A に電源を供給するが、この際、導体パターン 5 a A にバイパスコンデンサ 6 A の一方の電極 9 a A を例えばハンダ付けによって接続し、コンデンサ 6 A の他方の電極 9 b A を、接地電位とされた半導体集積回路チップ 1 の第 2 の面 1 B に、金属製のリボン 7 a A を介して接続する点は、図 1 に示された第 1 実施例の場合と同様であるが、誘電体基板 4 上に接地電位とされた接地用導体パターン 5 b A、5 b B を有し、バイパスコンデンサ 6 A、6 B の他方の電極 9 b A、9 b B を、それぞれ金属製のリボン 7 b A、7 b B を介して、誘電体基板 4 の接地電位に接続された導体パターン 5 b A、5 b B に接続するようにした点が大きく異なっている。この場合に用いられるバイパスコンデンサ 6 A、6 B も図 1 に示された第 1 実施例の場合と同様であるが、上方の電極 9 b A、9 b B には、それぞれ 2 本のリボン 7 a A、7 b A と 7 a B、7 b B が接続される点が異なっている。

【0019】この例の場合、接地用導体パターン 5 b A、5 b B を設けて、バイパスコンデンサ 6 A、6 B の他方の電極 9 b A、9 b B を、それぞれ導体パターン 5 b A、5 b B に接続したので、例えば、バイパスコンデンサ 6 A の場合、帰路電流ループ 8 a、8 b が形成される。図示されない、バイパスコンデンサ 6 B による帰路電流ループも同様である。従って、バイパスコンデンサ 6 A、6 B と、半導体集積回路チップ 1 の第 2 の面 1 B、及び誘電体基板 4 の接地電位となる部位（導体パターン 5 b A、5 b B）との相互間の接続インピーダンスをさらに低減することができる。

【0020】このように、この例の半導体集積回路装置によれば、半導体集積回路の電源端子に接続された電源供給用の導体パターンと、半導体集積回路チップの接地電位面及び接地用の導体パターンとの間を、バイパスコンデンサを介して最短距離で接続することができるので、電源配線に起因する雑音に対する除去能力をより向上させて、半導体集積回路の高周波での動作をさらに安定にすることが可能になる。

【0021】以上、この発明の実施例を図面により詳述してきたが、具体的な構成はこの実施例に限られたものではなく、この発明の要旨を逸脱しない範囲の設計の変

更等があってもこの発明に含まれる。例えば、図 2 に示された第 2 実施例の半導体集積回路装置において、半導体集積回路チップ 1 を負電源で使用する場合であって、第 2 の面 1 B 側を負電源電位とする場合には、導体パターン 5 a A、5 a B を接地電位とし、導体パターン 5 b A、5 b B を電源電位にする使用方法をとることもできる。

#### 【0022】

【発明の効果】以上説明したように、この発明の半導体集積回路装置によれば、半導体集積回路の電源端子に接続された電源供給用の導体パターンと、接地電位間を、誘電体基板の裏面導体を介することなく、直接、バイパスコンデンサを介して最短距離で接続することができるので、電源配線に起因する雑音を有効に除去して、半導体集積回路の高周波での動作を安定にすることができる。

#### 【図面の簡単な説明】

【図 1】この発明の第 1 実施例である半導体集積回路装置の構成を示す断面図である。

【図 2】この発明の第 2 実施例である半導体集積回路装置の構成を示す断面図である。

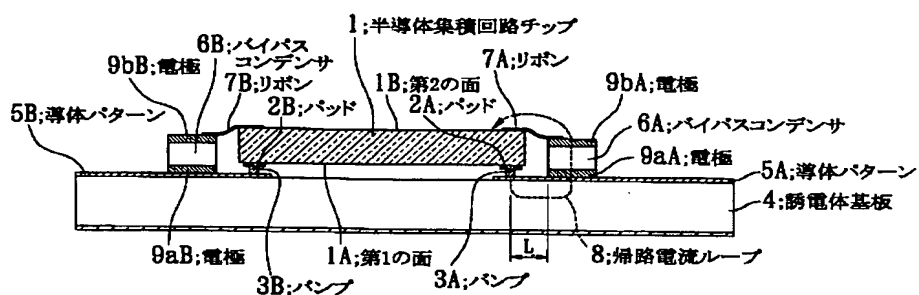
【図 3】従来の半導体集積回路装置の構成を例示する断面図である。

【図 4】従来の半導体集積回路装置の構成を例示する平面図である。

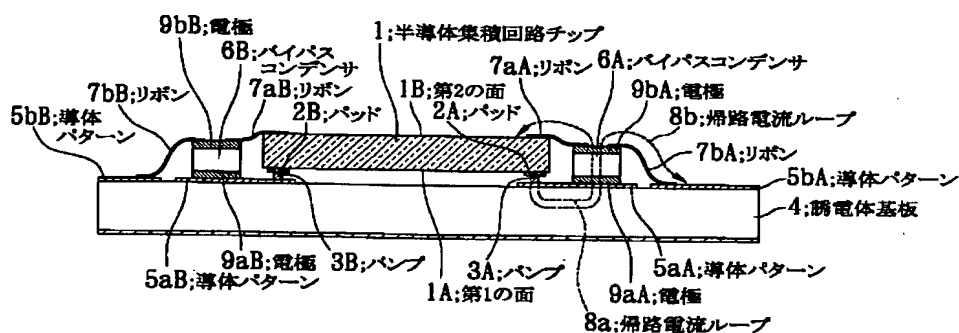
#### 【符号の説明】

1	半導体集積回路チップ
1 A	半導体集積回路チップ 1 の第 1 の面
1 B	半導体集積回路チップ 1 の第 2 の面
2 A、2 B	パッド
3 A、3 B	バンパ
4	誘電体基板
5 A、5 B、5 a A、5 b A、5 a B、5 b B	導体パターン
6 A、6 B	バイパスコンデンサ
7 A、7 B、7 a A、7 b A、7 a B、7 b B	リボン（可撓性金属導体片）
8、8 a、8 b	帰路電流ループ
9 a A、9 b A	バイパスコンデンサの一方の電極
9 a B、9 b B	バイパスコンデンサの一方の電極

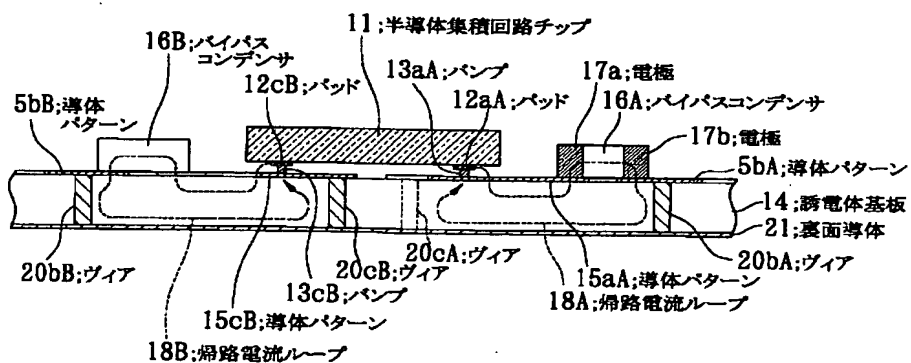
【図1】



【図2】



【図3】



【図 4】

